

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-092373

(43)Date of publication of application : 06.04.2001

(51)Int.Cl.

G09F 9/00
G02F 1/1365
G09F 9/30
H01J 37/317
H01L 21/265
H01L 29/786

(21)Application number : 11-270557

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 24.09.1999

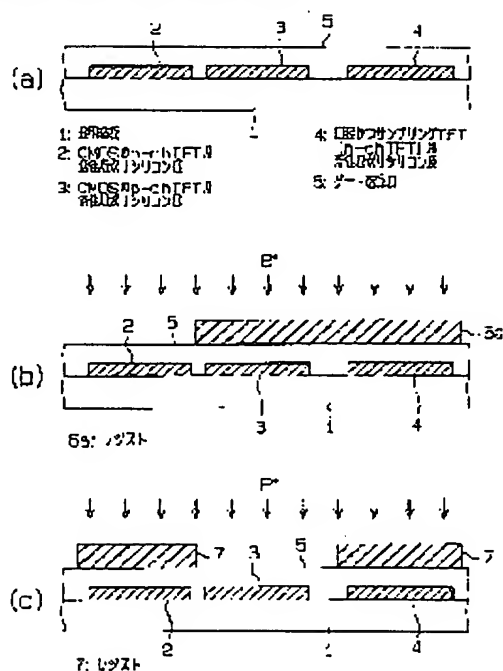
(72)Inventor : SOTANI NAOYA

(54) DISPLAY DEVICE, ITS PRODUCTION AND METHOD OF ION DOPING

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display device integrated with a driver in which the picture quality can be improved and the reliability as a device can be improved, and to provide a method of its production and a method of ion doping.

SOLUTION: An active layer polysilicon film 2 to form the n-chTFT of a CMOS transistor of a driver circuit, an active layer polysilicon film 3 to form the p-chTFT of the same element, and an active layer polysilicon film 4 to form a pixel and sampling n-chTFT are formed on a transparent substrate 1 which constitutes the display device. The polysilicon films 3, 4 are covered with a resist 6a and only the polysilicon film 2 is doped with low concentration B (boron) ion. Then the polysilicon films 2, 4 are covered with a resist 7 and only the polysilicon film 3 is doped with low concentration P (phosphorus) ion so as to control the threshold voltage of the pixel sampling n-chTFT to be lower than the threshold voltage of the n-chTFT of the CMOS transistor.



LEGAL STATUS

[Date of request for examination]

13.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-92373

(P2001-92373A)

(43) 公開日 平成13年4月6日 (2001.4.6)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト (参考)
G 0 9 F 9/00	3 4 6 3 4 2	G 0 9 F 9/00	3 4 6 E 2 H 0 9 2 3 4 2 C 5 C 0 3 4
G 0 2 F 1/1365		9/30	C 5 C 0 9 4
G 0 9 F 9/30		H 0 1 J 37/317	A 5 F 1 1 0
H 0 1 J 37/317		G 0 2 F 1/136	5 0 0 5 G 4 3 5

審査請求 未請求 請求項の数15 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願平11-270557

(22) 出願日 平成11年9月24日 (1999.9.24)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 曾谷 直哉

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100068755

弁理士 恩田 博宣 (外1名)

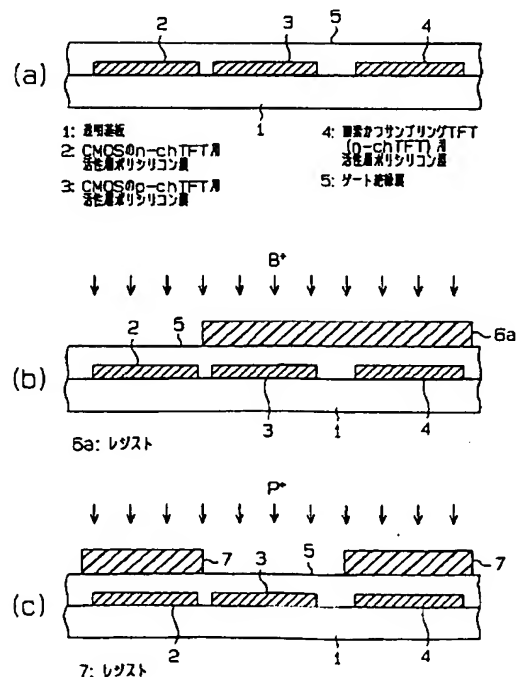
最終頁に続く

(54) 【発明の名称】 表示装置及びその製造方法及びイオンドーピング方法

(57) 【要約】

【課題】 ドライバー体型の表示装置にあって、その画質の向上とともに、装置としての信頼性を高めることのできる表示装置及びその製造方法及びイオンドーピング方法を提供する。

【解決手段】 表示装置を構成する透明基板1上に、ドライバ回路CMOSトランジスタのn-chTFTを形成するための活性層ポリシリコン膜2、同p-chTFTを形成するための活性層ポリシリコン膜3、画素・サンプリングn-chTFTを形成するための活性層ポリシリコン膜4を形成する。ポリシリコン膜3、4をレジスト6aで覆い、ポリシリコン膜2のみに低濃度のB（ホウ素）イオンをドーピングする。次にポリシリコン膜2、4をレジスト7を覆い、ポリシリコン膜3のみに、低濃度のP（リン）イオンをドーピングし、画素・サンプリングn-chTFTの閾値電圧をCMOSトランジスタのn-chTFTの閾値電圧よりも低く設定する。



【特許請求の範囲】

【請求項 1】表示画素部と駆動回路部とが同一絶縁基板上に形成されるドライバ一体型の表示装置において、前記表示画素部を構成する薄膜トランジスタは、前記駆動回路部を構成する薄膜トランジスタよりも低い閾値電圧に設定されてなることを特徴とする表示装置。

【請求項 2】表示画素部と駆動回路部とが同一絶縁基板上に形成されるドライバ一体型の表示装置において、前記表示画素部を構成する薄膜トランジスタは、前記駆動回路部の CMOS 回路を構成する薄膜トランジスタよりも低い閾値電圧に設定されてなることを特徴とする表示装置。

【請求項 3】表示画素部と駆動回路部とが同一絶縁基板上に形成されるドライバ一体型の表示装置において、前記表示画素部に形成される画素薄膜トランジスタ及び前記駆動回路部の出力段に形成されるサンプリング薄膜トランジスタの少なくとも一方の閾値電圧が、前記駆動回路部の CMOS 回路を構成する薄膜トランジスタの閾値電圧よりも低い閾値電圧に設定されてなることを特徴とする表示装置。

【請求項 4】表示画素部と駆動回路部とを同一絶縁基板上に形成するドライバ一体型の表示装置の製造方法において、前記表示画素部を構成する薄膜トランジスタの閾値電圧が前記駆動回路部を構成する薄膜トランジスタの閾値電圧よりも低くなるようにそれら閾値電圧のコントロールを行うことを特徴とする表示装置の製造方法。

【請求項 5】表示画素部と駆動回路部とを同一絶縁基板上に形成するドライバ一体型の表示装置の製造方法において、前記表示画素部を構成する薄膜トランジスタの閾値電圧が前記駆動回路部の CMOS 回路を構成する薄膜トランジスタの閾値電圧よりも低くなるようにそれら閾値電圧のコントロールを行うことを特徴とする表示装置の製造方法。

【請求項 6】表示画素部と駆動回路部とを同一絶縁基板上に形成するドライバ一体型の表示装置の製造方法において、前記表示画素部に形成される画素薄膜トランジスタ及び前記駆動回路部の出力段に形成されるサンプリング薄膜トランジスタの少なくとも一方の閾値電圧が、前記駆動回路部の CMOS 回路を構成する薄膜トランジスタの閾値電圧よりも低くなるようにそれら閾値電圧のコントロールが行われることを特徴とする表示装置の製造方法。

【請求項 7】請求項 6 記載の表示装置の製造方法において、前記絶縁基板上に前記画素薄膜トランジスタ、サンプリング薄膜トランジスタ、及び CMOS 回路を構成する薄膜トランジスタを形成するための活性層となるポリシリコン膜を形成する工程と、

前記 CMOS 回路を構成する薄膜トランジスタのうちの p チャンネルトランジスタ、前記画素薄膜トランジスタ、及び前記サンプリング薄膜トランジスタを形成する活性層ポリシリコン膜にはマスクングをし、前記 CMOS 回路を構成する薄膜トランジスタのうちの n チャンネルトランジスタを形成する活性層ポリシリコン膜にのみチャンネル領域を形成するための低濃度不純物をドーピングする工程と、

前記 CMOS 回路を構成する薄膜トランジスタのうちの n チャンネルトランジスタ、前記画素トランジスタ、及び前記サンプリング薄膜トランジスタを形成する活性層ポリシリコン膜にはマスクングをし、前記 CMOS 回路を構成する薄膜トランジスタのうちの p チャンネルトランジスタを形成する活性層ポリシリコン膜にのみチャンネル領域を形成するための低濃度不純物をドーピングする工程とを備えることを特徴とする表示装置の製造方法。

【請求項 8】請求項 6 記載の表示装置の製造方法において、

前記絶縁基板上に前記画素薄膜トランジスタ、サンプリング薄膜トランジスタ、及び CMOS 回路を構成する薄膜トランジスタを形成するための活性層となるポリシリコン膜を形成する工程と、

前記 CMOS 回路を構成する薄膜トランジスタのうちの p チャンネルトランジスタ、前記画素薄膜トランジスタ、及び前記サンプリング薄膜トランジスタを形成する活性層ポリシリコン膜にはマスクングをし、前記 CMOS 回路を構成する薄膜トランジスタのうちの n チャンネルトランジスタを形成する活性層ポリシリコン膜にのみチャンネル領域を形成するための低濃度不純物をドーピングする工程と、

前記 CMOS 回路を構成する薄膜トランジスタのうちの n チャンネルトランジスタを形成する活性層ポリシリコン膜にのみマスクングをし、前記 CMOS 回路を構成する薄膜トランジスタのうちの p チャンネルトランジスタ、前記画素薄膜トランジスタ、及び前記サンプリング薄膜トランジスタを形成する活性層ポリシリコン膜にはチャンネル領域を形成するための低濃度不純物をドーピングする工程とを備えることを特徴とする表示装置の製造方法。

【請求項 9】請求項 7 または 8 記載の表示装置の製造方法において、

前記低濃度不純物のドーピングを、イオンビームと前記絶縁基板とを相対的に変位させつつ同イオンビームを同絶縁基板上で走査させるイオン注入装置による不純物イオンの注入によって行うとともに、

前記イオンビームの前記絶縁基板上での走査速度を、前記トランジスタ閾値電圧を所定の目標トランジスタ閾値電圧とするために必要なイオン注入量に反比例させて行うことを特徴とする表示装置の製造方法。

【請求項 10】前記イオン注入装置はイオンビームを前記絶縁基板上で走査させる走査電極を備えるものであり、該走査電極に印加する走査電圧波形により前記走査速度を必要なイオン注入量に反比例させて可変とする請求項 9 記載の表示装置の製造方法。

【請求項 11】前記走査電圧波形を前記必要イオン注入量の積分値に基づき形成する請求項 10 記載の表示装置の製造方法。

【請求項 12】イオンビームとその照射対象基板とを相対的に変位させつつ同イオンビームを同照射対象基板上で走査させるイオン注入装置を用いて前記基板に対するイオンドーピングを行うイオンドーピング方法において、前記イオンビームの前記照射対象基板上での走査速度を可変としてドーピングを行うことを特徴とするイオンドーピング方法。

【請求項 13】前記走査速度を必要イオン注入量に反比例させてドーピングを行う請求項 12 記載のイオンドーピング方法。

【請求項 14】前記イオン注入装置はイオンビームを前記照射対象基板上で走査させる走査電極を備えるものであり、該走査電極に印加する走査電圧波形により前記走査速度を可変とする請求項 12 または 13 記載のイオンドーピング方法。

【請求項 15】前記走査電圧波形を前記必要イオン注入量の積分値に基づき形成してドーピングを行う請求項 14 記載のイオンドーピング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は表示装置及びその製造方法及びイオンドーピング方法に関し、特に表示画素部と駆動回路部とが同一基板上に形成されたドライバ一体型の表示装置及びその製造方法及びイオンドーピング方法に関する。

【0002】

【従来の技術】近年、液晶表示装置（LCD）等の表示装置においては、その実装上の優位性等の理由により、表示画素部とそれを駆動する駆動回路部とを同一基板上に形成するいわゆるドライバ一体型とすることが一般的に行われている。

【0003】このような例として、図 13 に、多結晶シリコン TFT（薄膜トランジスタ）を能動スイッチング素子として用いた多結晶シリコン形 TFT 方式アクティブマトリックス液晶表示装置（以下、単に p-Si 形 TFT 液晶表示装置という）のブロック構成を示す。また、図 14 にその製造方法の 1 部を示す概略断面構造を示す。なお、この表示装置はカラー表示装置であり、R（赤）、G（緑）、B（青）に対応する 3 画素によって 1 表示画素が構成される。

【0004】図 13 に示されるように、同表示装置は、

大きくは表示部 50、データドライバ 70、及び走査ドライバ 80 等を有して構成され、これらは同一透明基板、例えば石英基板上に形成される。同表示装置のこれら各部を構成するトランジスタは TFT（薄膜トランジスタ）として形成される。

【0005】このうち、表示部 50 は、マトリックス状に配列される $m \times n$ 個の画素 60 によって構成されている。同表示部 50 には m 行の走査線（ゲート配線） G_1, G_2, \dots, G_m と n 列のデータ線（ドレイン配線） D_1, D_2, \dots, D_n とがそれぞれ直交するように配設され、その直交部分に対応して画素 60 が各々形成されている。そして、各ゲート配線 $G_1 \sim G_m$ は走査ドライバ 80 に接続され、同ドライバ 80 を通じてゲート信号（走査信号）が印加される。また、各データ線 $D_1 \sim D_n$ はデータドライバ 70 に接続され、同ドライバ 70 を通じてデータ信号（ビデオ信号）が印加される。

【0006】このデータドライバ 70 は、CMOS トランジスタによって構成されるシフトレジスタ及び n チャネルトランジスタによって構成されるサンプリングトランジスタ ST（ $ST_1 \sim ST_n$ ）等を有して構成される。そして、入力されるビデオ信号 $V_1(R), V_2(G), V_3(B)$ を、シフトレジスタによるサンプリングトランジスタ ST のスイッチング制御のに基づき、所定のタイミングにおいて所定のデータ線に出力する。

【0007】また、同図 13 には、前記画素 60 の等価回路が示され、同画素 60 は、電気的には、 n チャネルトランジスタによって構成される画素トランジスタ 61、液晶 LC、補助容量（蓄積容量） C_s 等を有して構成される。ゲート配線 G_1 には画素トランジスタ 61 のゲート電極 G が接続され、データ線 D_1 には画素トランジスタ 61 のドレイン電極 D が接続されている。そして、画素トランジスタ 61 のソース電極 S には、液晶 LC の表示電極（画素電極）62 と補助容量 C_s の蓄積電極 64 とが接続されている。液晶 LC の共通電極（表示電極 62 の反対側の電極）63 には所定の共通電圧 V_{com} （通常、データドライバ駆動電圧のほぼ半値）が印加される。一方、補助容量 C_s の対向電極（蓄積電極 64 の反対側の電極）65 には定電圧 V_r が印加される。なお、この対向電極 65 は、隣のゲート配線に接続される場合もある。

【0008】電気的にこのように構成される画素 60 において、画素トランジスタ 61 のゲート電極 G に ON（オン）電圧を印加すると、画素トランジスタ 61 がオンとなる。このとき、データ線 D_1 に印加されたデータ（ビデオ）信号で、液晶 LC と補助容量 C_s とが充電される。反対に、画素トランジスタ 61 のゲート電極 G に OFF（オフ）電圧を印加すると、画素トランジスタ 61 がオフとなり、その時点でデータ線 D_1 に印加されていた電圧が、液晶 LC と補助容量 C_s とによって保持される。なお、ここでは補助容量 C_s によって液晶 LC の

みによる静電容量の不足分を補うようにしている。

【0009】このように、画素60へ書き込みたいデータ信号をデータ線D1に与えてゲート配線G1の電位を制御することにより、画素60には任意のデータ信号が保持される。そして、その画素60に保持されたデータ信号に応じて同画素60に対応した液晶の透過率が変化し、表示部50全体としてに所望の画像が表示される。

【0010】次に、図14を参照して、上記各TFT（薄膜トランジスタ）、すなわち画素トランジスタ61、サンプリングトランジスタST、及びデータドライバ70、走査ドライバ80のシフトレジスタ等を構成するCMOSトランジスタのチャネルドーピングにかかる製造方法を説明する。なお、画素トランジスタ61及びサンプリングトランジスタSTは、上述したようにn-ch（チャネル）TFTとして形成される。

【0011】この製造に際してはまず、図14（a）に示すように、透明基板1、例えば石英ガラス基板上にプラズマCVD法や減圧CVD法等によりa-Si（アモルファスシリコン）を成膜し、ELA（エキシマレーザアニール）法やSPC（固相成長）法等により多結晶（ポリ）シリコン膜とする。そして、このポリシリコン膜を、上記各TFT用に所定の形状にパターンニングする。

【0012】すなわちCMOSのn-chTFTを形成するための活性層となるポリシリコン膜（以下、単にn-ch活性層ポリシリコン膜と記す）2、CMOSのp-chTFTを形成するための活性層となるポリシリコン膜（以下、単にp-ch活性層ポリシリコン膜と記す）3、画素トランジスタ61及びサンプリングトランジスタSTを形成するための活性層となるポリシリコン膜（以下、単に画素・サンプリングTFT活性層ポリシリコン膜と記す）4にパターンニングする。

【0013】そして、このパターンニングされた各ポリシリコン膜上に、プラズマCVD法や減圧CVD法等によりゲート絶縁膜5、例えばSiO₂（酸化シリコン）膜を形成する。

【0014】続いて図14（b）に示すように、p-ch活性層ポリシリコン膜3を覆うようにレジスト6を形成し、n-ch活性層ポリシリコン膜2及び画素・サンプリングTFT活性層ポリシリコン膜4に、低濃度、例えばイオン濃度 $1.5 \times 10^{12} / \text{cm}^2$ のB（ホウ素）イオンをイオン注入法やイオンドーピング法等によりドーブする。

【0015】続いて図14（c）に示すように、レジスト6を剥離した後、新たにn-ch活性層ポリシリコン膜2及び画素・サンプリングTFT活性層ポリシリコン膜4を覆うようにレジスト7を形成する。そして、p-ch活性層ポリシリコン膜3に、低濃度、例えばイオン濃度 $1.3 \times 10^{12} / \text{cm}^2$ のP（リン）イオンをイオン注入法やイオンドーピング法等によりドーブする。

【0016】このようなチャネルドーピングの終了後、ゲート電極形成、LDD（Lightly Doped Drain）構造の形成、高濃度イオンのドーピングによるソース・ドレインの形成等を行うことによって、画素トランジスタ61、サンプリングトランジスタST等のTFTを完成する。

【0017】このような各TFTのチャネルドーピング条件、及びその条件によって形成された各TFTの閾値電圧V_{th}を図15に示す。また、画素トランジスタ61を代表としてその電気特性例を図16に示す。

【0018】ここで、図16（a）は、画素トランジスタ61のゲート電圧V_gに対するドレインソース電流I_{ds}の関係を示したものである。ここでは、液晶駆動電圧V_H及びV_Lがそれぞれ「6V」及び「-6V」であるとしている。なお、この液晶駆動電圧V_H及びV_Lの値は、実際に上記画素電極62に印加される電圧値とは異なる。

【0019】また、図16（b）は、図16（a）に示す電気特性において、画素トランジスタ61のON（オン）電圧V_{g on}及びOFF（オフ）電圧V_{g off}をそれぞれ「+9V」、「-9V」とした場合の同トランジスタ61のON電流I_{on}及びOFF電流I_{off}の値を示したものである。なお、これらON電流I_{on}及びOFF電流I_{off}は、画素トランジスタ61のドレインソース電流I_{ds}に相当している。

【0020】

【発明が解決しようとする課題】ところで、ドライバー型となる上記従来の表示装置では、画素トランジスタ61、サンプリングトランジスタST、及びデータドライバ70や走査ドライバ80のシフトレジスタ等を構成するn-chTFTのチャネルドーピングを同一条件で行うことで、先の図15に示されるように、それらn-chTFTの閾値電圧V_{th}をほぼ等しい電圧値、例えば「+3.0V」となるように制御している。これは、表示装置全体のn-chTFTの閾値電圧V_{th}をCMOSの駆動条件に合わせることで回路的な安定を狙ったものであるが、実際的には以下のような不都合が生じることもになっている。

【0021】すなわち、一般に上記画素電極62への印加電圧のスイッチングを行うには、画素トランジスタ61及びサンプリングトランジスタSTの閾値電圧V_{th}は低い方が画質向上の観点から望ましい。ところが、表示装置全体のn-chTFTの閾値電圧V_{th}を単にCMOSの駆動条件に合わせた値に制御すると、画素トランジスタ61及びサンプリングトランジスタST等においては最適条件下での駆動ができなくなる。そしてそのため、画質の低下や、あるいはそれを回避するためのドライバ駆動電圧の高圧化、及びそれに伴う信頼性の低下等も避け得ないものとなっている。

【0022】本発明は上記実情に鑑みてなされたもので

あり、その目的とするところは、ドライバー体型の表示装置にあって、その画質の向上とともに、装置としての信頼性を高めることのできる表示装置及びその製造方法及びイオンドーピング方法を提供することにある。

【0023】

【課題を解決するための手段】上記の目的を達成するために、請求項1に記載の発明では、表示画素部と駆動回路部とが同一絶縁基板上に形成されるドライバー体型の表示装置において、前記表示画素部を構成する薄膜トランジスタは、前記駆動回路部を構成する薄膜トランジスタよりも低い閾値電圧に設定されてなることをその要旨とする。

【0024】一般に、ドライバー体型の表示装置、例えば液晶表示装置においては、表示画素部に形成される画素薄膜トランジスタの閾値電圧が低いほど同トランジスタのオン・オフ電流比がとれ、表示装置としての表示画質が向上する。そのため、表示画素部を構成する薄膜トランジスタの閾値電圧が同駆動回路部を構成する薄膜トランジスタの閾値電圧よりも低い閾値電圧に設定される上記記載の構成にあっては、表示装置として例えば液晶表示装置の表示画質を向上させることができる。

【0025】また請求項2に記載の発明では、表示画素部と駆動回路部とが同一絶縁基板上に形成されるドライバー体型の表示装置において、前記表示画素部を構成する薄膜トランジスタは、前記駆動回路部のCMOS回路を構成する薄膜トランジスタよりも低い閾値電圧に設定されてなることをその要旨とする。

【0026】上記記載の構成においては、表示画素部を構成する薄膜トランジスタ、例えば画素薄膜トランジスタの閾値電圧が駆動回路部のCMOS回路（シフトレジスタ等）を構成する薄膜トランジスタの閾値電圧よりも低い閾値電圧に設定されるため、表示装置として例えば液晶表示装置の表示画質を向上させることができる。

【0027】また請求項3に記載の発明では、表示画素部と駆動回路部とが同一絶縁基板上に形成されるドライバー体型の表示装置において、前記表示画素部に形成される画素薄膜トランジスタ及び前記駆動回路部の出力段に形成されるサンプリング薄膜トランジスタの少なくとも一方の閾値電圧が、前記駆動回路部のCMOS回路を構成する薄膜トランジスタの閾値電圧よりも低い閾値電圧に設定されてなることをその要旨とする。

【0028】上記表示装置、例えば液晶表示装置においては、駆動回路部の出力段に形成されるサンプリング薄膜トランジスタの閾値電圧も低いほど画素薄膜トランジスタのオン・オフ電流比がとれ、表示装置としての表示画質が向上する。

【0029】そのため、画素薄膜トランジスタ及び駆動回路部の出力段に形成されるサンプリング薄膜トランジスタの少なくとも一方の閾値電圧が同駆動回路部のCMOS回路を構成する薄膜トランジスタの閾値電圧よりも

低い閾値電圧に設定される上記記載の構成にあっては、表示装置として例えば液晶表示装置の表示画質を向上させることができる。

【0030】また請求項4に記載の発明では、表示画素部と駆動回路部とを同一絶縁基板上に形成するドライバー体型の表示装置の製造方法において、前記表示画素部を構成する薄膜トランジスタの閾値電圧が前記駆動回路部を構成する薄膜トランジスタの閾値電圧よりも低くなるようにそれら閾値電圧のコントロールを行うことをその要旨とする。

【0031】上記製造方法によれば、表示画素部を構成する薄膜トランジスタ、例えば画素薄膜トランジスタの閾値電圧が同駆動回路部を構成する薄膜トランジスタの閾値電圧よりも低くなるようにそれら閾値電圧のコントロール行われるため、表示装置として例えば液晶表示装置の表示画質を向上させることができる。

【0032】また請求項5に記載の発明では、表示画素部と駆動回路部とを同一絶縁基板上に形成するドライバー体型の表示装置の製造方法において、前記表示画素部を構成する薄膜トランジスタの閾値電圧が前記駆動回路部のCMOS回路を構成する薄膜トランジスタの閾値電圧よりも低くなるようにそれら閾値電圧のコントロールを行うことをその要旨とする。

【0033】上記製造方法によれば、表示画素部を構成する薄膜トランジスタ、例えば画素薄膜トランジスタの閾値電圧が同駆動回路部のCMOS回路（シフトレジスタ等）を構成する薄膜トランジスタの閾値電圧よりも低くなるようにそれら閾値電圧がコントロールされるため、表示装置として例えば液晶表示装置の表示画質を向上させることができる。

【0034】また請求項6に記載の発明では、表示画素部と駆動回路部とを同一絶縁基板上に形成するドライバー体型の表示装置の製造方法において、前記表示画素部に形成される画素薄膜トランジスタ及び前記駆動回路部の出力段に形成されるサンプリング薄膜トランジスタの少なくとも一方の閾値電圧が、前記駆動回路部のCMOS回路を構成する薄膜トランジスタの閾値電圧よりも低くなるようにそれら閾値電圧のコントロールが行われることをその要旨とする。

【0035】上記製造方法によれば、画素薄膜トランジスタのオン・オフ電流比がとれ、例えば液晶表示装置の表示画質を向上させることができる。また請求項7に記載の発明では、請求項6記載の表示装置の製造方法において、前記絶縁基板上に前記画素薄膜トランジスタ、サンプリング薄膜トランジスタ、及びCMOS回路を構成する薄膜トランジスタを形成するための活性層となるポリシリコン膜を形成する工程と、前記CMOS回路を構成する薄膜トランジスタのうちのpチャンネルトランジスタ、前記画素薄膜トランジスタ、及び前記サンプリング薄膜トランジスタを形成する活性層ポリシリコン膜に

はマスクングをし、前記CMOS回路を構成する薄膜トランジスタのうちのnチャンネルトランジスタを形成する活性層ポリシリコン膜にのみチャンネル領域を形成するための低濃度不純物をドーピングする工程と、前記CMOS回路を構成する薄膜トランジスタのうちのnチャンネルトランジスタ、前記画素トランジスタ、及び前記サンプリング薄膜トランジスタを形成する活性層ポリシリコン膜にはマスクングをし、前記CMOS回路を構成する薄膜トランジスタのうちのpチャンネルトランジスタを形成する活性層ポリシリコン膜にのみチャンネル領域を形成するための低濃度不純物をドーピングする工程とを備えることをその要旨とする。

【0036】上記製造方法によれば、画素トランジスタ及びサンプリングトランジスタを形成する際に、その画素及びサンプリングTFT活性層ポリシリコン膜への低濃度不純物、例えば低濃度B（ホウ素）イオンのチャンネルドーピングを行わないことにより、同画素トランジスタ、サンプリングトランジスタの閾値電圧を従来に比べ低く形成することができる。その結果、これらトランジスタのON（オン）電流を増加させるとともに、そのOFF（オフ）電流を減少させることができ、表示装置としてのコントラスト比を向上させ、表示画質を高めることができる。

【0037】また、コントラスト比を向上させることができるため、従来と同じコントラスト比を得る場合にあっては、ドレインドライバ等の駆動電圧を低下させることができ、それによって表示装置としての消費電力を低下させることができるようになる。

【0038】また請求項8に記載の発明では、請求項6記載の表示装置の製造方法において、前記絶縁基板上に前記画素薄膜トランジスタ、サンプリング薄膜トランジスタ、及びCMOS回路を構成する薄膜トランジスタを形成するための活性層となるポリシリコン膜を形成する工程と、前記CMOS回路を構成する薄膜トランジスタのうちのpチャンネルトランジスタ、前記画素薄膜トランジスタ、及び前記サンプリング薄膜トランジスタを形成する活性層ポリシリコン膜にはマスクングをし、前記CMOS回路を構成する薄膜トランジスタのうちのnチャンネルトランジスタを形成する活性層ポリシリコン膜にのみチャンネル領域を形成するための低濃度不純物をドーピングする工程と、前記CMOS回路を構成する薄膜トランジスタのうちのnチャンネルトランジスタを形成する活性層ポリシリコン膜にのみマスクングをし、前記CMOS回路を構成する薄膜トランジスタのうちのpチャンネルトランジスタ、前記画素薄膜トランジスタ、及び前記サンプリング薄膜トランジスタを形成する活性層ポリシリコン膜にはチャンネル領域を形成するための低濃度不純物をドーピングする工程とを備えたことをその要旨とする。

【0039】上記製造方法によれば、前記画素及びサン

プリングTFT活性層ポリシリコン膜へ、例えば低濃度B（ホウ素）イオンのチャンネルドーピングを行わず、P（リン）イオンのチャンネルドーピングを行うことにより、同画素トランジスタ、サンプリングトランジスタの閾値電圧を従来に比べ大きく低下させることができる。その結果、これらトランジスタのON電流をさらに増加させるとともに、そのOFF電流もさらに減少させることができ、表示装置としてのコントラスト比をさらに向上させ、表示画質を高めることができる。

【0040】また、コントラスト比を大きく向上させることができるため、従来と同じコントラスト比を得る場合にあっては、ドレインドライバ等の駆動電圧をさらに低下させることができ、それによって表示装置としての消費電力を大きく低下させることができるようになる。

【0041】また請求項9に記載の発明では、請求項7または8記載の表示装置の製造方法において、前記低濃度不純物のドーピングを、イオンビームと前記絶縁基板上とを相対的に変位させつつ同イオンビームを同絶縁基板上で走査させるイオン注入装置による不純物イオンの注入によって行うとともに、前記イオンビームの前記絶縁基板上での走査速度を、前記トランジスタ閾値電圧を所定の目標トランジスタ閾値電圧とするために必要なイオン注入量に反比例させて行うことをその要旨とする。

【0042】最近の表示装置、例えば液晶表示装置の大型化に伴い、同液晶表示装置が多面取りされる透明基板（マザーガラス基板等）はさらに大型化する傾向にあり、上記各活性層ポリシリコン膜の形成時、マザーガラス基板内においてその膜厚を均一に制御することも困難なものとなっている。そのため、この活性層ポリシリコン膜の成膜等、その膜厚の不均一性等に起因して、上記TFTの閾値電圧にばらつきが存在することとなっている。このような閾値電圧のばらつきは、例えば液晶表示装置にあっては、その表示画面の不均一性の要因ともなる。

【0043】この点、上記製造方法では、上記チャンネルドーピングを上記イオン注入装置によって行う際、そのイオンビームの前記絶縁基板上での走査速度を、前記トランジスタ閾値電圧を所定の目標トランジスタ閾値電圧とするために必要なイオン注入量に反比例させる。すなわち、必要イオン注入量が多いときにはイオンビーム走査速度を遅めるように、逆に必要イオン注入量が少ないときにはイオンビーム走査速度を早める。その結果、前記閾値電圧のばらつきを低減することができるようになる。

【0044】また請求項10に記載の発明では、請求項9記載の表示装置の製造方法において、前記イオン注入装置はイオンビームを前記絶縁基板上で走査させる走査電極を備えるものであり、該走査電極に印加する走査電圧波形により前記走査速度を必要なイオン注入量に反比例させて可変とすることをその要旨とする。

【0045】上記製造方法によれば、イオン注入装置の走査電極に印加する走査電圧波形により前記走査速度を必要なイオン注入量に反比例させて可変とするため、何ら追加装置等を必要とすることなく、単に同走査電圧波形を変更するだけでイオンビームの前記絶縁基板上での走査速度を可変とすることができる。

【0046】また請求項11に記載の発明では、請求項10記載の表示装置の製造方法において、前記走査電圧波形を前記必要イオン注入量の積分値に基づき形成することをその要旨とする。

【0047】上記製造方法では、イオンビームの走査速度を必要イオン注入量に反比例させる関係から、走査経過時間をその時間内に注入された必要イオン注入量の積分値（ビーム到達位置の関数）として表すことができる。また一般に、走査電圧とビーム到達位置とは比例関係にあるため、走査時間（必要イオン注入量の積分値）とビーム到達位置との関係から走査時間と走査電圧との関係、すなわち走査電圧波形を形成することができる。このように走査電圧波形を必要イオン注入量の積分値に基づき形成することにより、好適にイオンビームの走査速度を変化させることができ、その結果、前記閾値電圧のばらつきを低減させることができる。

【0048】また、請求項12に記載の発明では、イオンビームとその照射対象基板とを相対的に変位させつつ同イオンビームを同照射対象基板上で走査させるイオン注入装置を用いて前記基板に対するイオンドーピングを行うイオンドーピング方法において、前記イオンビームの前記照射対象基板上での走査速度を可変としてドーピングを行うことをその要旨とする。

【0049】最近の表示装置、例えば液晶表示装置等の大型化に伴い、同液晶表示装置が多面取りされる透明基板（マザーガラス基板等）はさらに大型化する傾向にあり、同マザーガラス基板上にTFT（薄膜トランジスタ）を形成するための活性層ポリシリコン膜等の形成時、マザーガラス基板内においてその膜厚を均一に制御することも困難なものとなっている。そのため、この活性層ポリシリコン膜の成膜等、その膜厚の不均一性等に起因して、上記TFTの閾値電圧にばらつきが存在することとなっている。このような閾値電圧のばらつきは、例えば液晶表示装置にあっては、その表示画面の不均一性の要因ともなる。

【0050】この点、上記ドーピング方法によれば、例えば上記TFTの閾値電圧を制御するチャネルドーピングを上記イオン注入装置を用いて行う際、そのイオンビームの照射基板（マザーガラス基板等）上での走査速度を可変として行う、すなわち同基板の位置によってドーピング量を可変とすることにより、上記TFTの閾値電圧等のばらつきを低減できるようになる。

【0051】また、請求項13に記載の発明では、請求項12記載のイオンドーピング方法において、前記走査

速度を必要イオン注入量に反比例させてドーピングを行うことをその要旨とする。

【0052】上記ドーピング方法によれば、例えばイオンビームの走査速度を、TFTトランジスタの閾値電圧を所定の目標閾値電圧とするために必要なイオン注入量に反比例させる。すなわち、必要イオン注入量が多いときにはイオンビーム走査速度を遅めるように、逆に必要イオン注入量が少ないときにはイオンビーム走査速度を早める。このようにイオン注入量（ドーピング量）を可変とすることにより、上記閾値電圧等のばらつきを低減できるようになる。

【0053】また、請求項14に記載の発明では、請求項12または13記載のイオンドーピング方法において、前記イオン注入装置はイオンビームを前記照射対象基板上で走査させる走査電極を備えるものであり、該走査電極に印加する走査電圧波形により前記走査速度を可変とすることをその要旨とする。

【0054】上記ドーピング方法によれば、イオン注入装置の走査電極に印加する走査電圧波形により、前記走査速度を必要イオン注入量に反比例させて可変とするため、何ら追加装置等を必要とすることなく、単に同走査電圧波形を変更するだけでイオンビームの前記照射対象基板上での走査速度を可変とすることができる。

【0055】また、請求項15に記載の発明では、請求項14記載のイオンドーピング方法において、前記走査電圧波形を前記必要イオン注入量の積分値に基づき形成してドーピングを行うことをその要旨とする。

【0056】上記ドーピング方法では、イオンビームの走査速度を必要イオン注入量に反比例させる関係から、走査経過時間をその時間内に注入された必要イオン注入量の積分値（ビーム到達位置の関数）として表すことができる。また一般に、走査電圧とビーム到達位置とは比例関係にあるため、走査時間（必要イオン注入量の積分値）とビーム到達位置との関係から走査時間と走査電圧との関係、すなわち走査電圧波形を形成することができる。このように走査電圧波形を必要イオン注入量の積分値に基づき形成することにより、好適にイオンビームの走査速度を変化させることができ、その結果、前記閾値電圧のばらつきを低減させることができる。

【0057】

【発明の実施の形態】（第1の実施の形態）以下、本発明の表示装置をp-Si（ポリシリコン）形TFT液晶表示装置に具体化した第1の実施の形態を図1～図3、及び図7に基づき詳細に説明する。

【0058】なお、本実施の形態のp-Si形TFT液晶表示装置においても、その電気的なブロック構成は先の図13に例示した従来の液晶表示装置と同様であり、その図示を割愛するとともに、それら要素についての重複する説明は割愛する。

【0059】本実施の形態のp-Si形TFT液晶表示

装置もカラー液晶表示装置であり、図13に例示したように $m \times n$ 個の画素60によって構成される表示部50、データドライバ70、及び走査ドライバ80等を有して構成されている。そして、これら各部は同一透明基板、例えば石英基板上に形成されるとともに、これら各部を構成するトランジスタはTFT（薄膜トランジスタ）として形成されている。

【0060】このうち、データドライバ70は、CMOSTランジスタによって構成されるシフトレジスタ及び n チャンネル（ n -ch）トランジスタによって構成されるサンプリングトランジスタST等を有して構成されている。

【0061】また、各画素60を構成する画素トランジスタ61は、サンプリングトランジスタSTと同様に、 n -chトランジスタによって構成されている。ただし、本実施の形態の表示装置において、画素トランジスタ61及びサンプリングトランジスタSTの閾値電圧 V_{th} は、CMOSTランジスタの n -chTFTの閾値電圧 V_{th} よりも低い電圧に設定されている。

【0062】次に、図1を参照して、本実施の形態の各TFT（薄膜トランジスタ）、すなわち画素トランジスタ61、サンプリングトランジスタST、及びデータドライバ70、走査ドライバ80のシフトレジスタ等を構成するCMOSTランジスタのチャネルドーピングにかかる製造方法を説明する。

【0063】その製造に際してはまず、図1（a）に示すように、透明基板1、例えば石英ガラス基板上にプラズマCVD法や減圧CVD法等により a -Si（アモルファスシリコン）を成膜し、ELA（エキシマレーザアニール）法やSPC（固相成長）法等によりポリシリコン膜とする。そして、このポリシリコン膜を、上記各TFT用に所定の形状にパターニングする。すなわち、先の図14（a）に示したのと同様に、 n -ch活性層ポリシリコン膜2、 p -ch活性層ポリシリコン膜3、画素・サンプリングTFT活性層ポリシリコン膜4にパターニングする。

【0064】そして、このパターニングされたポリシリコン膜上に、プラズマCVD法や減圧CVD法等によりゲート絶縁膜5、例えば SiO_2 （酸化シリコン）膜を形成する。

【0065】続いて図1（b）に示すように、 p -ch活性層ポリシリコン膜3及び画素・サンプリングTFT活性層ポリシリコン膜4を覆うようにレジスト6aを形成し、 n -ch活性層ポリシリコン膜2のみに、低濃度、例えばイオン濃度 $1.5 \times 10^{12} / cm^2$ のB（ホウ素）イオンをイオン注入法やイオンドーピング法等によりドーピングする。すなわち、本実施の形態においては、画素・サンプリングTFT活性層ポリシリコン膜4にはB（ホウ素）イオンのチャネルドーピングを行わない。

【0066】続いて図1（c）に示すように、レジスト6を剥離した後、新たに n -ch活性層ポリシリコン膜2及び画素・サンプリングTFT活性層ポリシリコン膜4を覆うようにレジスト7を形成する。そして、 p -ch活性層ポリシリコン膜3に、低濃度、例えばイオン濃度 $1.3 \times 10^{12} / cm^2$ のP（リン）イオンをイオン注入法やイオンドーピング法等によりドーピングする。

【0067】その後は、従来の p -Si形TFT液晶表示装置の基板素子形成プロセスにしたがって、例えばゲート電極形成、LDD（Lightly Doped Drain）構造の形成、高濃度イオンのドーピングによるソース・ドレインの形成等を行うことによって、画素トランジスタ61、サンプリングトランジスタST等のTFTを完成する。

【0068】上述したような本実施の形態の各TFTのチャネルドーピング条件、及びその条件によって形成された各TFTの閾値電圧 V_{th} を図2に示す。同図2に示されるように、本実施の形態においては画素・サンプリングTFT活性層ポリシリコン膜4にB（ホウ素）イオンのチャネルドーピングを行なわなかったことにより、画素トランジスタ61及びサンプリングトランジスタSTの閾値電圧 V_{th} は、+1.2Vとなり、CMOSTランジスタの n -chTFTの閾値電圧 V_{th} （+3.0V）より1.8V低くなっている。

【0069】また、このチャネルドーピング条件によって形成された画素トランジスタ61を代表としてその電気特性例を図3に示す。ここで、図3（a）は、先の図16（a）と同様に、画素トランジスタ61のゲート電圧 V_g に対するドレインソース電流 I_{ds} の関係を示したものである。ここでは、液晶駆動電圧 V_H 及び V_L がそれぞれ「6V」及び「-6V」であるとしている。なお、この液晶駆動電圧 V_H 及び V_L の値は、実際に上記画素電極62に印加される電圧値とは異なる。

【0070】また、図3（b）は、図3（a）に示す電気特性において、画素トランジスタ61のON（オン）電圧 V_{gon} 及びOFF（オフ）電圧 V_{goff} をそれぞれ「+9V」、「-9V」とした場合の同トランジスタ61のON電流 I_{on} 及びOFF電流 I_{off} の値を示したものである。なお、これらON電流 I_{on} 及びOFF電流 I_{off} は、画素トランジスタ61のドレインソース電流 I_{ds} に相当している。

【0071】同図3（b）に示されるように、画素トランジスタ61の閾値電圧 V_{th} を+1.2Vとし従来の閾値電圧 V_{th} より低くしたことにより、同トランジスタ61のON電流 I_{on} を増加させるとともに、そのOFF電流 I_{off} を減少させることができる。

【0072】その結果、図7に示されるように、従来の p -Si形TFT液晶表示装置に比べそのコントラスト比を向上させ、表示画質を高めることができる。また、同図7に示されるように、従来と同じコントラスト比を

得る場合にあっては、ドレイン（データ）ドライバ 70 の駆動電圧を低下させることができ、それによって表示装置としての消費電力を低下させることができる。

【0073】以上説明したように、本実施の形態の表示装置によれば、以下のような効果を得ることができる。

（1）本実施の形態では、画素トランジスタ 61 及びサンプリングトランジスタ ST を形成する際に、その画素及びサンプリング TFT 活性層ポリシリコン膜 4 への低濃度 B（ホウ素）イオンのチャネルドーピングを行なわ
ないことにより、同画素トランジスタ 61 及びサンプリングトランジスタ ST の閾値電圧 V_{th} を従来に比べ低く形成することができる。その結果、同トランジスタ 61、ST の ON 電流 I_{on} を増加させるとともに、その OFF 電流 I_{off} を減少させることができ、表示装置としてのコントラスト比を向上させ、表示画質を高めることができる。

（2）本実施の形態では、コントラスト比を向上させることができるため、従来と同じコントラスト比を得る場合にあっては、データドライバ 70 の駆動電圧を低下させることができ、それによって表示装置としての消費電力を低下させることができるとともに信頼性を高めることもできる。

【0074】なお、上記第 1 の実施の形態は以下のような形態で実施することもできる。

・上記第 1 の実施の形態においては、本発明の表示装置をカラー表示する p-Si 形 TFT 液晶表示装置に具体化した例を示したがこれに限らず、その他、例えばモノクロ表示の p-Si 形 TFT 液晶表示装置、あるいは液晶プロジェクタ用の p-Si 形 TFT 液晶表示装置等にも適用できる。

【0075】・上記第 1 の実施の形態においては、画素トランジスタ 61 及びサンプリングトランジスタ ST の閾値電圧 V_{th} が、CMOS トランジスタの n-ch TFT の閾値電圧 V_{th} よりも低い電圧に設定される例を示したが、これに限られない。その他、例えば画素トランジスタ 61 のみが CMOS トランジスタの n-ch TFT の閾値電圧 V_{th} よりも低い電圧に設定されるようにしてもよい。要は、表示画素部に形成される画素薄膜トランジスタ及び駆動回路部の出力段に形成されるサンプリング薄膜トランジスタの少なくとも一方の閾値電圧が、駆動回路部の CMOS 回路を構成する薄膜トランジスタの閾値電圧よりも低い閾値電圧に設定されてなるものであればよい。

【0076】・上記第 1 の実施の形態においては、各薄膜トランジスタをトップゲート型としたが、本発明はボトムゲート型にも適応できる。

（第 2 の実施の形態）次に、本発明の表示装置を、第 1 の実施の形態と同様に p-Si 形 TFT 液晶表示装置に具体化した第 2 の実施の形態について、図 4～図 7 に基づき詳細に説明する。なお、ここでは第 1 の実施の形態

との相違点を中心に説明する。

【0077】本実施の形態の p-Si 形 TFT 液晶表示装置と前記第 1 の実施の形態の p-Si 形 TFT 液晶表示装置との相違点は、画素トランジスタ 61、サンプリングトランジスタ ST、及びデータドライバ 70、走査ドライバ 80 のシフトレジスタ等を構成する CMOS トランジスタのチャネルドーピングにかかる製造方法が異なる点にある。

【0078】図 4 を参照して本実施の形態におけるチャネルドーピングにかかる製造方法の相違点を説明する。その製造に際してはまず、図 4（a）に示すように、第 1 の実施の形態と同様、透明基板 1、例えば石英ガラス基板上にプラズマ CVD 法や減圧 CVD 法等により a-Si を成膜し、ELA 法や SPC 法等により同 a-Si 膜をポリシリコン膜とする。そして、このポリシリコン膜を、各 TFT 用に所定の形状にパターニングする。すなわち、n-ch 活性層ポリシリコン膜 2、p-ch 活性層ポリシリコン膜 3、画素・サンプリング TFT 活性層ポリシリコン膜 4 にパターニングする。

【0079】そして、このパターニングされたポリシリコン膜上に、プラズマ CVD 法や減圧 CVD 法等によりゲート絶縁膜 5、例えば SiO₂ 膜を形成する。続いて図 4（b）に示すように、同じく第 1 の実施の形態と同様に、p-ch 活性層ポリシリコン膜 3 及び画素・サンプリング TFT 活性層ポリシリコン膜 4 を覆うようにレジスト 6a を形成し、n-ch 活性層ポリシリコン膜 2 のみに、低濃度、例えばイオン濃度 $1.5 \times 10^{12} / \text{cm}^2$ の B（ホウ素）イオンをイオン注入法やイオンドーピング法等によりドーピングする。すなわち、本実施の形態においても、画素・サンプリング TFT 活性層ポリシリコン膜 4 には B（ホウ素）イオンのチャネルドーピングを行なわない。

【0080】続いて図 4（c）に示すように、レジスト 6a を剥離した後、新たに n-ch 活性層ポリシリコン膜 2 のみを覆うようにレジスト 7 を形成する。そして、p-ch 活性層ポリシリコン膜 3 及び画素・サンプリング TFT 活性層ポリシリコン膜 4 に、低濃度、例えばイオン濃度 $1.3 \times 10^{12} / \text{cm}^2$ の P（リン）イオンをイオン注入法やイオンドーピング法等によりドーピングする。すなわち、本実施の形態においては、画素・サンプリング TFT 活性層ポリシリコン膜 4 に B（ホウ素）イオンのチャネルドーピングを行わず、P（リン）イオンのチャネルドーピングを行う。

【0081】その後は、第 1 の実施の形態と同様に、従来の p-Si 形 TFT 液晶表示装置の基板素子形成プロセスにしたがって、画素トランジスタ 61、サンプリングトランジスタ ST 等の TFT を完成する。

【0082】上述したような本実施の形態の各 TFT のチャネルドーピング条件、及びその条件によって形成された各 TFT の閾値電圧 V_{th} を図 5 に示す。同図 5 に

示されるように、本実施の形態においては画素・サンプリングTFT活性層ポリシリコン膜4にBイオンのチャネルドーピングを行わず、Pイオンのチャネルドーピングを行うことにより、画素トランジスタ61及びサンプリングトランジスタSTの閾値電圧 V_{th} は-0.2Vとなって、第1の実施の形態に比べさらに低下させることができる。

【0083】また、このチャネルドーピング条件によって形成された画素トランジスタ61を代表としてその電気特性例を図6に示す。ここで、図6(a)は、先の図3(a)と同様に、画素トランジスタ61のゲート電圧 V_g に対するドレインソース電流 I_{ds} の関係を示したものである。ここでは、液晶駆動電圧 V_H 及び V_L がそれぞれ「6V」及び「-6V」であるとしている。

【0084】また、図6(b)は、図6(a)に示す電気特性において、画素トランジスタ61のON(オン)電圧 V_{gon} 及びOFF(オフ)電圧 V_{goff} をそれぞれ「+9V」、「-9V」とした場合の同トランジスタ61のON電流 I_{on} 及びOFF電流 I_{off} の値を、先の従来例及び第1の実施の形態のデータとともに示したものである。

【0085】同図6(b)に示されるように、本実施の形態においては画素トランジスタ61の閾値電圧 V_{th} を-0.2Vとし、第1の実施の形態の閾値電圧 V_{th} よりさらに低くしたことにより、画素トランジスタ61のON電流 I_{on} をさらに増加させるとともに、そのOFF電流 I_{off} をさらに減少させることができる。

【0086】その結果、図7に示されるように、第1の実施の形態に比べさらにそのコントラスト比を向上させ、表示画質を高めることができる。また、同図7に示されるように、従来と同じコントラスト比を得る場合にあっては、ドレイン(データ)ドライバ70の駆動電圧をさらに低下させることができ、それによって表示装置としての消費電力を大きく低下させることができる。

【0087】以上説明したように、本実施の形態の表示装置によれば、以下のような効果を得ることができる。

(1) 本実施の形態では、画素トランジスタ61及びサンプリングトランジスタSTを形成する際にその画素及びサンプリングTFT活性層ポリシリコン膜4への低濃度B(ホウ素)イオンのチャネルドーピングを行わず、Pイオンのチャネルドーピングを行うことにより、同画素トランジスタ61及びサンプリングトランジスタSTの閾値電圧 V_{th} を従来に比べ大きく低下させることができる。その結果、同トランジスタ61、STのON電流 I_{on} をさらに増加させるとともに、そのOFF電流 I_{off} もさらに減少させることができ、表示装置としてのコントラスト比をさらに向上させ、表示画質を高めることができる。

$$x = (q l L / m v^2) E(t) \quad \dots\dots\dots (1)$$

$L \gg |x|$ の条件下では、上記式(1)は以下に示す式

(2) 本実施の形態では、コントラスト比を大きく向上させることができるため、従来と同じコントラスト比を得る場合にあっては、データドライバ70の駆動電圧をさらに低下させることができ、それによって表示装置としての消費電力を大きく低下させることができるとともに信頼性を高めることもできる。なお、上記第2の実施の形態は以下のような形態で実施することもできる。

【0088】・上記第2の実施の形態においても、画素トランジスタ61及びサンプリングトランジスタSTの閾値電圧 V_{th} が、CMOSTランジスタのn-chTFTの閾値電圧 V_{th} よりも低い電圧に設定される例を示したが、これに限られない。要は、表示画素部に形成される画素薄膜トランジスタ及び駆動回路部の出力段に形成されるサンプリング薄膜トランジスタの少なくとも一方の閾値電圧が、駆動回路部のCMOS回路を構成する薄膜トランジスタの閾値電圧よりも低い閾値電圧に設定されてなるものであればよい。

【0089】・上記第2の実施の形態においては、各薄膜トランジスタをトップゲート型としたが、本発明はボトムゲート型にも適応できる。

(第3の実施の形態) 最近の表示装置、例えば液晶表示装置等の大型化に伴い、同液晶表示装置が多面取りされる透明基板(マザーガラス基板等)はさらに大型化する傾向にあり、同マザーガラス基板にTFT(薄膜トランジスタ)を形成するための活性層ポリシリコン膜等の形成時、マザーガラス基板内においてその膜厚を均一に制御することも困難なものとなっている。そのため、この活性層ポリシリコン膜の成膜等、その膜厚の不均一性等に起因して、上記TFTの閾値電圧にばらつきが存在することとなっている。このような閾値電圧のばらつきは、例えば液晶表示装置にあっては、その表示画面の不均一性の要因ともなる。

【0090】本発明のイオンドーピング方法は、表示装置、例えばp-Si形TFT液晶表示装置の製造にあたって、画素トランジスタ、サンプリングトランジスタ等のTFT(薄膜トランジスタ)の形成にかかるチャネルドーピングに適用され、こうした閾値電圧 V_{th} のばらつき等を改善するためのイオンドーピング方法である。

【0091】まず最初に、このイオンドーピング方法の原理を図8及び図9を参照して説明する。一般に、図8に示されるようなイオン注入装置から発射されたイオンビームの基板到達位置(以下、単にビーム到達位置という) x と、同イオン注入装置の走査電源22から走査電極21に印加される走査電界 E (走査電圧)との関係は、電荷量を q 、走査電極21の長さを l 、イオンビームの速度を v 、走査電極21と基板との距離を L とすると、以下に示す式(1)にて表わされる。

$$\dots\dots\dots (1)$$

(2) で示され、ビーム到達位置 x は走査電界 E にほぼ

比例する。

$$x \propto E(t)$$

また、基板上のある一点 $x = x_1$ におけるイオン注入量 $D(x)$ は、基板上のイオンビーム走査速度 dx/dt

$$D(x = x_1) \propto f \times 1 / (d|E|/dt) \quad \text{..... (3)}$$

なる関係となる。

【0092】一般的には基板内の注入量 $D(x)$ を一定とするドーピング制御が行われ、その際、上記式 (3) の左辺の値を一定とするように、具体的には、イオンビーム走査速度 $(d|x|/dt)$ を一定とするように、
($d|E|/dt$) が一定である三角波の走査電圧が走査電極 21 に印加される。

【0093】逆に閾値電圧 V_{th} の基板上のばらつきを改善する場合には、走査周波数 f を一定とした場合、
($dt/d|E|$) を必要とされるイオン注入量 $D(x)$ に比例するように制御すればよい。このとき、基板上のイオンビーム走査速度 dx/dt を必要イオン注入量 $D(x)$ に反比例させてイオンドーピングを行うこ

$$\Delta V_{th}(x) = V_{tht} - V_{th}(x) \quad \text{..... (4)}$$

となる (図 9 (a) 参照)。

【0096】ここで、閾値電圧 $V_{th}(x)$ を目標閾値電圧 V_{tht} とするために必要とされる例えばチャネル

$$\Delta V_{th}(x) = k_1 \times D(x) \quad (k_1: \text{比例定数}) \quad \text{..... (5)}$$

の比例関係にあるとすると、チャネルドーピングを行う

$$D(x) = 1/k_1 \times \Delta V_{th}(x) \quad \text{..... (6)}$$

となる。なお、ここで偏差量 $\Delta V_{th}(x)$ とドーズ量 $D(x)$ の関係、すなわち比例定数 k_1 は実験等により決定される。

$$\Delta V_{th}(x) = k_2 \times |dt/dE| \quad (k_2 = k_1 \cdot f) \quad \text{..... (7)}$$

となる。さらに、式 (1) の関係から

$$\Delta V_{th}(x) = k_3 \times |dt/dx| \quad (k_3 = (fmv^2) / (k_1 q L)) \quad \text{..... (8)}$$

となる。

【0098】ここで $\Delta V_{th}(x)$ は時間 t には無関係

$$dt = (\Delta V_{th}(x) / k_3) dx \quad \text{..... (9)}$$

となる。

【0099】この式 (9) の微分方程式を解けば、時間 t とビーム到達位置 x 、すなわち走査電界 E (式 (2) 参照) との関係が得られ、基板上に作成された TFT の閾値電圧 $V_{th}(x)$ を目標閾値電圧 V_{tht} 近傍の均一な値とするための走査電界 (電圧) E 波形が得られることとなる。なお、式 (6) の関係から、同式 (9) の偏差量 $\Delta V_{th}(x)$ をドーズ量 $D(x)$ に置き換えることもできる。

【0100】実際には、先の図 9 (b) に示す偏差量 $\Delta V_{th}(x)$ のグラフから同偏差量 $\Delta V_{th}(x)$ の積分値 $S(x)$ を求め、図 9 (c) に示すように、この積分値 $S(x)$ に実験等で決定される所定係数 k を積算したものをビーム到達位置 x の関数としてグラフ化する。

【0101】そして、このグラフの縦横両軸を入れ替え

に反比例し、走査周波数 f に比例するため、上記式 (2) より

ととなる。すなわち、必要イオン注入量 $D(x)$ が多いときにはイオンビーム走査速度 dx/dt を遅めるように、逆に必要イオン注入量 $D(x)$ が少ないときにはイオンビーム走査速度 dx/dt を早めるような走査電圧波形を走査電極 21 に印加するようにすればよい。

【0094】そこで、本イオンドーピング方法においては、まずイオンドーピングを行わずに所定基板上に作成された TFT の閾値電圧 V_{th} を、所定の測定点で測定する。その閾値電圧 $V_{th}(x)$ の分布を図 9 (a) に示す。

【0095】そして目標閾値電圧を V_{tht} とそれら測定した閾値電圧 $V_{th}(x)$ との偏差を $\Delta V_{th}(x)$ とすると、

$$\Delta V_{th}(x) = V_{tht} - V_{th}(x) \quad \text{..... (4)}$$

ドーピングのドーズ量 (イオン注入量) $D(x)$ と上記偏差量 $\Delta V_{th}(x)$ との関係は

$$\Delta V_{th}(x) = k_1 \times D(x) \quad (k_1: \text{比例定数}) \quad \text{..... (5)}$$

べきドーズ量 $D(x)$ は

$$D(x) = 1/k_1 \times \Delta V_{th}(x) \quad \text{..... (6)}$$

【0097】この式 (6) と前記式 (3) との関係により

$$\Delta V_{th}(x) = k_2 \times |dt/dE| \quad (k_2 = k_1 \cdot f) \quad \text{..... (7)}$$

な値であるので、式 (8) から

たものを半周期としその半周期と時間対称の半周期を時間軸方向につなげて 1 周期とし、さらにこの 1 周期を連続させて図 9 (d) に示すような連続波形とする。

【0102】上述したような原理に基づき作成される、同図 9 (d) に示すような印加電圧波形を走査電極 21 に印加してイオンドーピングを行う場合にあっては、 dE/dt 、すなわちイオンビーム走査速度 dx/dt は一定ではなく、このようにイオンビーム走査速度 dx/dt を一定とせず基板位置に応じて同基板内へのイオン注入量 $D(x)$ を変化させることにより、閾値電圧 V_{th} を目標閾値電圧 V_{tht} 近傍に均一化することができるようになる。

【0103】次に、本発明のイオンドーピング方法を液晶表示装置、例えば p-Si 形 TFT 液晶表示装置の製造に適用した第 3 の実施の形態を図 10 ～ 図 12 に基づ

き詳細に説明する。なお、本実施の形態のイオンビームの走査は点走査とし、その走査方向はドーピング基板の x 軸方向とする。

【0104】まず、チャンネルドーピングを行わずにマザー基板 1A 上に形成された TFT、例えば画素トランジスタの閾値電圧 V_{th} の測定を、例えば図 10 (a) の黒点にて示す測定点にて行う。このような測定点で測定された閾値電圧 V_{th} の x 方向の分布例を図 10

(b) に示す。

【0105】続いて図 10 (b) から上記目標閾値電圧 V_{tht} に対する偏差量 $\Delta V_{th}(x)$ を求め、先の式 (6) から閾値電圧 V_{th} を均一にするためのドーズ量 $D(x)$ を求める。このドーズ量 $D(x)$ を図 10

(c) に示す。そして、このドーズ量 $D(x)$ (偏差量 $\Delta V_{th}(x)$) の積分値に基づき、先の図 9 (c) に示したようなビーム到達位置 x と時間 t とのグラフを求めるのであるが、本実施の形態においては、その処理を単純化するために近似化して行う。

【0106】すなわち、図 10 (c) に示すように、ドーズ量 $D(x)$ (イオンビームの走査速度の逆数と等価) を、例えば d_1 から d_6 までの 6 値に分割し、それぞれ分割されたドーズ量を、次の図 10 (d) に示す $t-x$ 曲線の傾きである傾き α_1 から α_6 に対応させる。すなわち、ここでは必要ドーズ量 $D(x)$ 曲線を図 10 (c) に一点鎖線で示すドーズ量 $D(x)$ 曲線に近似する。

【0107】このように近似されたドーズ量 $D(x)$ 曲線の積分値から求められる $t-x$ 曲線を、図 10 (d) に示す。そして先図 9 (d) と同様に、この $t-x$ 曲線の縦横両軸を入れ替えたものを半周期としその半周期と時間対称の半周期を時間軸方向につなげて 1 周期とし、さらにこの 1 周期を連続させて図 11 に示すような走査電界 E (走査電圧) 波形とする。なお、本実施の形態においては、上記ドーズ量 $D(x)$ 曲線の近似により、上記 $t-x$ 曲線の作成が容易となるとともに、上記走査電界 E (走査電圧) 波形の作成も容易となる。

【0108】このように dE/dt (dx/dt) が一定でない走査電界 $E(t)$ を用いて画素トランジスタのチャンネルドーピングを行うことにより、図 10 (b) に示したように同チャンネルドーピングを行わなかった場合には x 方向にばらついていた同画素トランジスタの閾値電圧 $V_{th}(x)$ を、図 12 に示すように、目標閾値電圧 V_{tht} 近傍の値に均一化することができるようになる。

【0109】なお、従来、図 10 (b) に示す平均偏差量 ΔV_{tha} に基づく平均ドーズ量 D_{av} (図 10

(c) 参照) によってチャンネルドーピングを行い、閾値電圧 V_{th} を目標閾値電圧 V_{tht} に近似させるチャンネルドーピング方法もあるが、この方法によっては、図 10 (b) に示す閾値電圧 V_{th} 曲線を上に並行移動する

だけにすぎず、閾値電圧 $V_{th}(x)$ を目標閾値電圧 V_{tht} 近傍の値に均一化することはできない。

【0110】以上説明したように、本実施の形態のイオンドーピング方法によれば、以下のような効果を得ることができる。

(1) 本実施の形態では、 $p-Si$ 形 TFT 液晶表示装置の画素トランジスタを形成する際、そのチャンネルドーピングを行うにあたって、イオン注入装置のイオンビーム走査速度 dx/dt を一定とせず、基板位置による必要イオン注入量 (ドーズ量) $D(x)$ に応じて変化させる。その結果、閾値電圧 V_{th} を目標閾値電圧 V_{tht} 近傍に均一化することができるようになる。

【0111】(2) 本実施の形態では、基板位置による必要イオン注入量 $D(x)$ に応じて変化させるイオンビーム走査速度 dx/dt を決定する際、すなわち走査電極 21 に印加する走査電界 $E(t)$ を決定する際に、必要イオン注入量 $D(x)$ を 6 値に分割する近似化を行うため、同走査電界 $E(t)$ の決定を容易化することができる。

【0112】なお、上記第 3 の実施の形態は以下のような形態で実施することもできる。

・上記第 3 の実施の形態においては、必要イオン注入量 (ドーズ量) $D(x)$ を 6 値に分割する例を示したが、同必要ドーズ量 $D(x)$ の分割数は任意である。さらに、分割せず必要ドーズ量 $D(x)$ をそのまま積分して上記 $t-x$ 曲線を決定するようにしてもよい。

【0113】・上記第 3 の実施の形態においては、イオンビームの走査を点走査とし、その走査方向をドーピング基板の x 軸方向とする例を示したが、これに限られない。その他、イオンビームの走査方向にドーピング基板の y 軸方向を追加した $x-y$ 軸走査をする場合にも適用することができる。また、イオンビームの走査を線走査とする場合にも、本イオンドーピング方法を適用することはできる。

【0114】さらに、イオンビームをドーピング基板 y 軸方向に線状とし同基板 x 軸方向に線走査する場合にあつて、同基板 y 軸方向の閾値電圧 V_{th} のばらつきを低減させるための必要イオン注入量 (ドーズ量) $D(y)$ は、例えば、複数のダイポール (マルチダイポール) からなり磁界によってイオンビームを偏向させるプロファイルコントローラ内に同線状イオンビームを通過させて得ることができる。その際、必要ドーズ量 $D(y)$ と偏差量 $\Delta V_{th}(y)$ との関係は先の式 (5) に示したのと同様に $\Delta V_{th}(y) = K \times D(y)$ (K : 比例定数) とし、この関係に基づき線状イオンビームの y 軸方向の偏向プロファイルを決めるようにすればよい。なお、この場合において基板 x 軸方向の線走査は、ドーピング基板を同 x 軸方向に変速走査 (移動) させて行う。

【0115】・上記第 3 の実施の形態においては、本イ

オンドーピング方法を $p-Si$ 形 TFT 液晶表示装置の画素トランジスタを形成する際のチャネルドーピングに適用する例を示したが、これに限られない。その他、トランジスタの閾値電圧 V_{th} を所定電圧の近傍に均一化するためのあらゆるイオンドーピングに適用することができる。さらに、トランジスタの閾値電圧 V_{th} のばらつき低減に適用する例に限られず、その他、例えば LD D (Lightly Doped Drain) の抵抗値のばらつき低減等にも適用することができる。

【0116】・上記第3の実施の形態においては、イオンビームの走査速度を基板位置による必要イオン注入量に応じて変化させる例を示したがこれに限られない。また、イオンビームを電界により偏向させて固定された基板上での走査速度を変化させる静電スキャン方式の例を示したが、逆に、イオンビームを偏向させずにその照射方向を一定とし、基板を移動させその移動速度を変化させるメカニカルスキャン方式としてもよい。要は、イオンドーピング方法として、イオンビームとその照射対象基板とを相対的に変位させ、イオンビームの照射対象基板上での走査速度を可変としてドーピングを行うものであればよい。

【0117】

【発明の効果】本発明の表示装置及びその製造方法によれば、画素薄膜トランジスタ及び駆動回路部の出力段に形成されるサンプリング薄膜トランジスタの少なくとも一方の閾値電圧が同駆動回路部の CMOS 回路を構成する薄膜トランジスタの閾値電圧より低い閾値電圧に設定されるものであることにより、画素薄膜トランジスタのオン・オフ電流比が大きくとれ、表示装置としての表示画質を向上させることができる。また、上記閾値電圧の設定にあたってのチャネルドーピングをイオン注入装置によって行う際、そのイオンビームの走査速度を必要イオン注入量に反比例させることにより、同閾値電圧のばらつきを低減することができる。

【0118】本発明のイオンドーピング方法によれば、イオンビームの照射対象基板上での走査速度を可変として、例えば必要イオン注入量に反比例させてドーピングを行うことにより、TFT (薄膜トランジスタ) の閾値電圧等のばらつきを低減することができる。

【図面の簡単な説明】

【図2】

	CMOS n-chTFT	CMOS p-chTFT	画素・サンプリングTFT
n-ch I/I	B ⁺ 低濃度ドーパ	masking	masking
p-ch I/I	masking	P ⁺ 低濃度ドーパ	masking
Vth	+3.0V	-3.5V	+1.2V

【図1】この発明にかかる表示装置の第1の実施形態の製造方法を示す断面図。

【図2】同第1の実施の形態にかかるチャネルドーピングの形態及び閾値電圧を示す説明図。

【図3】同第1の実施の形態にかかる画素トランジスタの電気特性を示す説明図。

【図4】この発明にかかる表示装置の第2の実施形態の製造方法を示す断面図。

【図5】同第2の実施の形態にかかるチャネルドーピングの形態及び閾値電圧を示す説明図。

【図6】同第2の実施の形態にかかる画素トランジスタの電気特性を示す説明図。

【図7】データドライバ駆動電圧とコントラスト比との関係を示すグラフ。

【図8】イオンビームの走査態様を示す説明図。

【図9】この発明にかかる第3の実施形態の原理を示す説明図。

【図10】同第3の実施形態にかかる走査電圧波形を求めるための説明図。

【図11】同第3の実施形態にかかる走査電圧波形を示すグラフ。

【図12】同第3の実施形態にかかる閾値電圧の分布を示すグラフ。

【図13】表示装置の電気的構成を示すブロック図。

【図14】従来の表示装置の製造方法を示す断面図。

【図15】同従来の表示装置にかかるチャネルドーピングの形態及び閾値電圧を示す説明図。

【図16】同従来の表示装置にかかる画素トランジスタの電気特性を示す説明図。

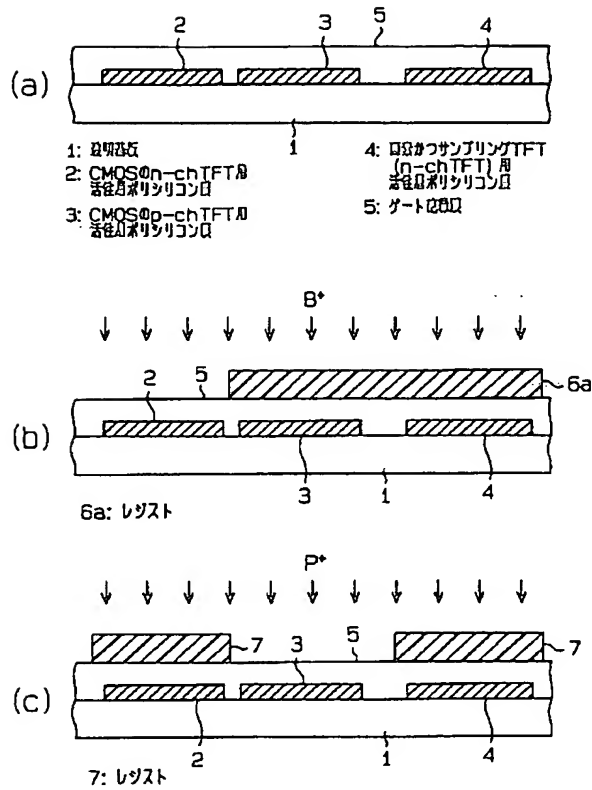
【符号の説明】

1…透明基板、1A…マザー透明基板、2…CMOSの $n-ch$ TFT 用活性層ポリシリコン膜、3…CMOSの $p-ch$ TFT 用活性層ポリシリコン膜、4…画素及びサンプリングTFT用活性層ポリシリコン膜、5…ゲート酸化膜、6a、7…レジスト、50…表示部、60…画素、61…画素トランジスタ、62…画素電極、63…共通電極、64…蓄積電極、65…対向電極、70…データドライバ、80…走査ドライバ、Cs…補助容量、LC…液晶、ST…サンプリングトランジスタ。

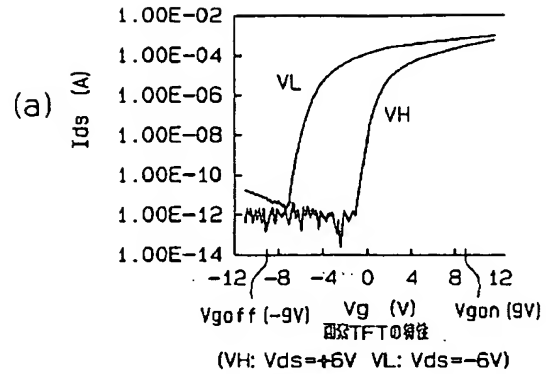
【図5】

	CMOS n-chTFT	CMOS p-chTFT	画素・サンプリングTFT
n-ch I/I	B ⁺ 低濃度ドーパ	masking	masking
p-ch I/I	masking	P ⁺ 低濃度ドーパ	P ⁺ 低濃度ドーパ
Vth	+3.0V	-3.5V	-0.2V

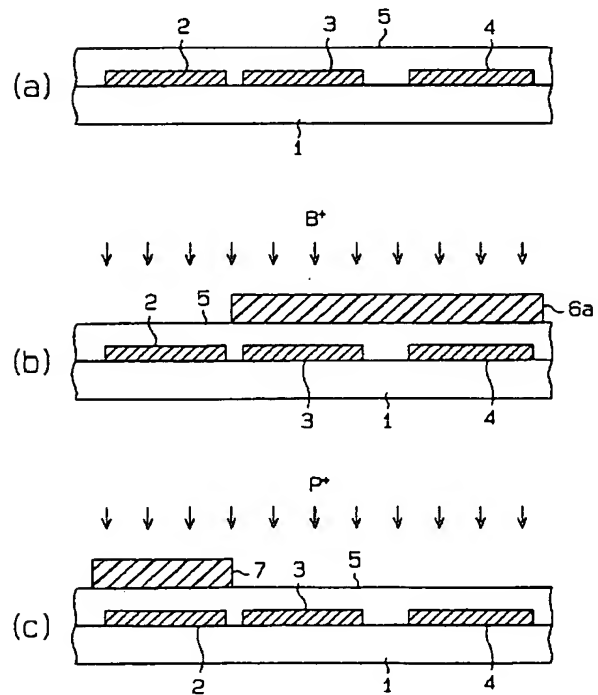
【図1】



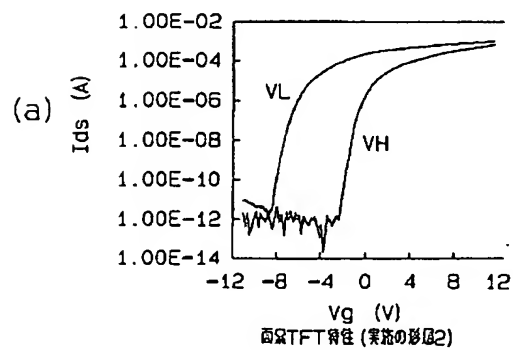
【図3】



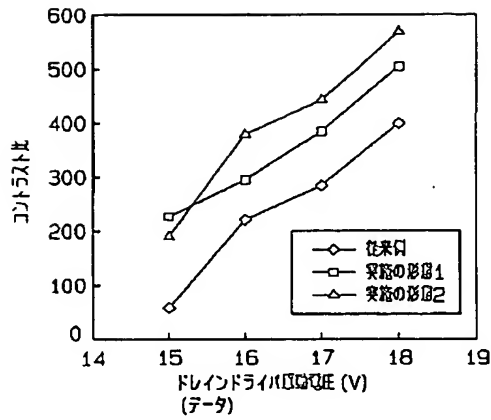
【図4】



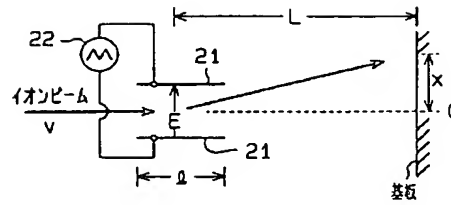
【図6】



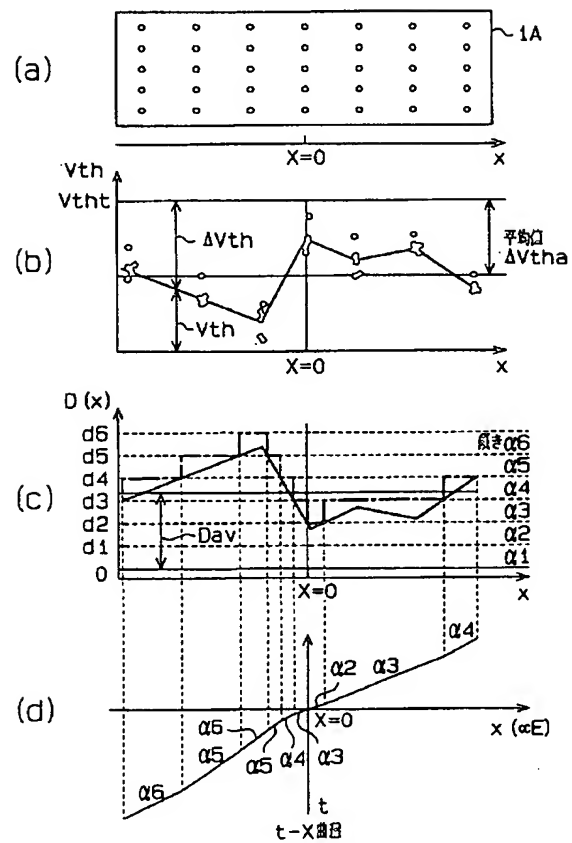
【図7】



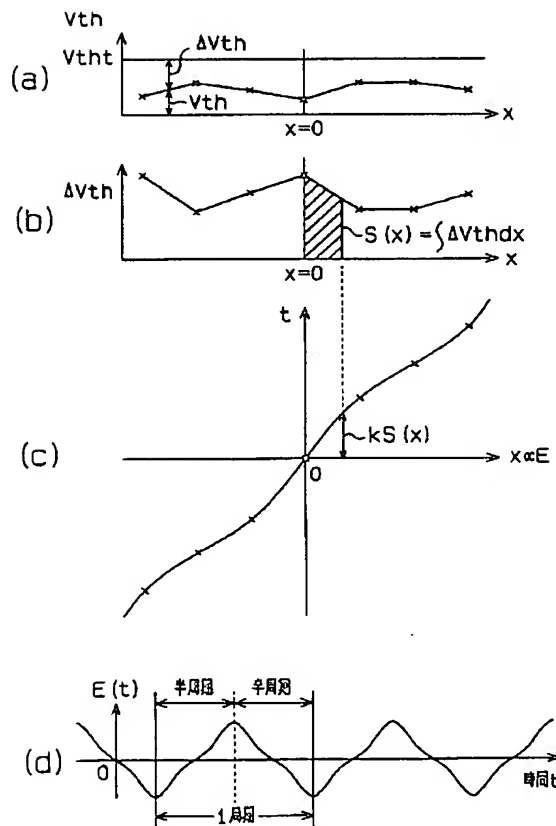
【図8】



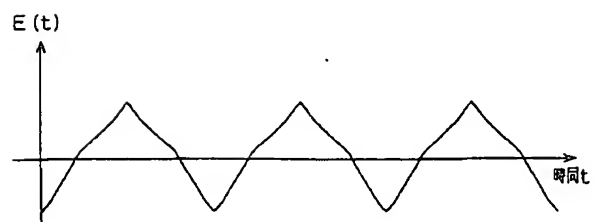
【図10】



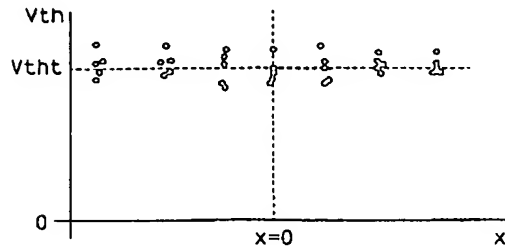
【図9】



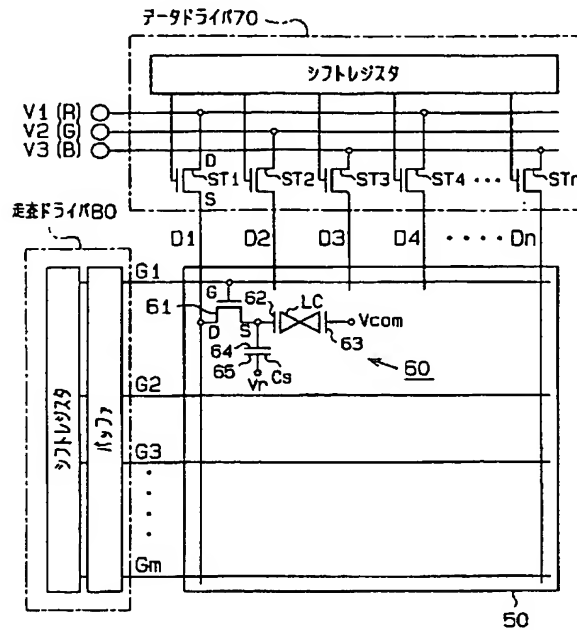
【図11】



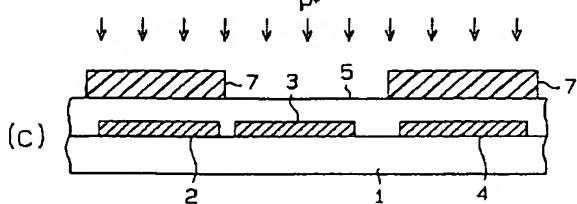
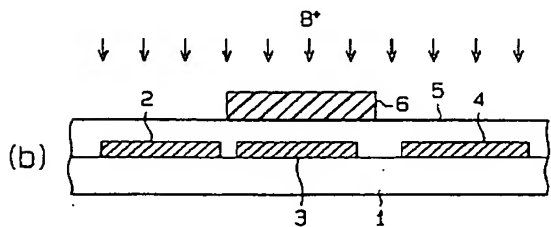
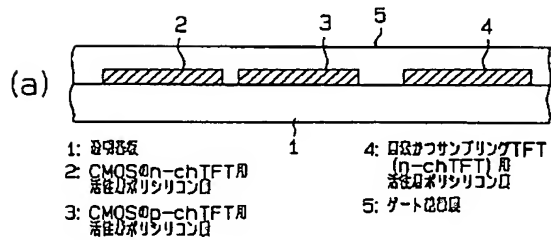
【図12】



【図13】



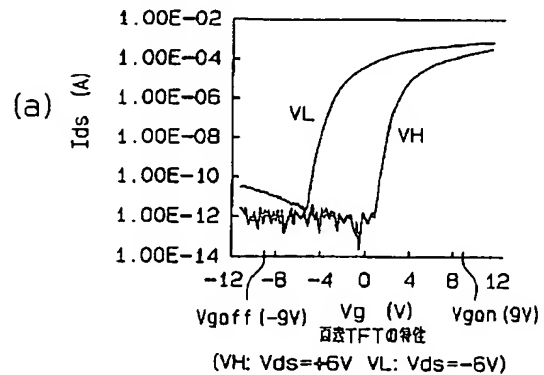
【図14】



【図15】

	CMOS n-chTFT	CMOS p-chTFT	高抵抗サンプリングTFT
n-ch I/I	B+ 高抵抗ドープ	masking	B+ 高抵抗ドープ
p-ch I/I	masking	P+ 高抵抗ドープ	masking
Vth	+3.0V	-3.5V	+3.0V

【図16】



(b)

	Ion (μA)		Ioff (pA)	
	VH (6v)	VL (-6v)	VH (6v)	VL (-6v)
Ids	160	440	14	1.9

フロントページの続き

(51)Int.C1.⁷

識別記号

F I

ターマコード (参考)

H O I L 21/265

H O I L 21/265

T

29/786

29/78

6 1 2 B

F ターム (参考) 2H092 GA59 JA25 JA29 JA38 JA42
 JA44 JB13 JB23 JB32 JB33
 JB38 JB51 JB57 JB63 JB69
 KA04 KA07 KA12 KA16 KA18
 MA07 MA08 MA13 MA17 MA22
 MA27 MA29 MA30 MA35 MA37
 MA41 NA24 NA25 PA06
 5C034 CC04 CC05 CD04
 5C094 AA02 BA03 BA43 CA19 DA14
 DA15 EA04 EA07 EB02 FB12
 FB15
 5F110 AA06 AA08 BB04 CC01 CC07
 DD02 DD03 FF02 FF30 FF32
 GG02 GG13 GG32 GG34 GG45
 GG47 GG51 GG52 HM15 PP03
 5G435 AA00 BB12 EE34 GG21 KK05